

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-83962
(P2002-83962A)

(43) 公開日 平成14年3月22日 (2002.3.22)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 29/78	6 5 2	H 0 1 L 29/78	6 5 2 H
21/336			6 5 8 G
			6 5 8 A
			6 5 8 K
			6 5 8 E
審査請求 未請求 請求項の数27 O L (全 18 頁)			

(21) 出願番号 特願2000-304473 (P2000-304473)

(22) 出願日 平成12年10月4日 (2000.10.4)

(31) 優先権主張番号 特願平11-300134

(32) 優先日 平成11年10月21日 (1999.10.21)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2000-185655 (P2000-185655)

(32) 優先日 平成12年6月21日 (2000.6.21)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 大西 泰彦
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

(72) 発明者 藤平 龍彦
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

(74) 代理人 100097250
弁理士 石戸 久子 (外3名)

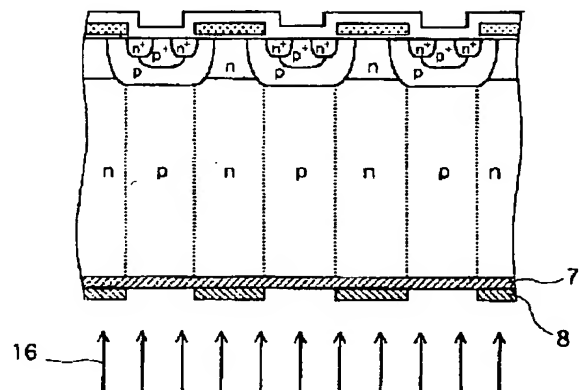
最終頁に続く

(54) 【発明の名称】 半導体素子およびその製造方法

(57) 【要約】

【課題】 並列 p n 層が受ける熱処理回数を削減することができ、その特性劣化を防止できると共に、安価に且つ量産性良く製造できる半導体素子を得る。

【解決手段】 通常の2重拡散MOSFETの製造工程に従い、n型半導体基体の表面層に、pベース領域2とp⁺コンタクト領域3とn⁺ソース領域4とゲート電極層5とソース電極15を設けて表面MOSFETを形成する。さらに、裏面にCVDで酸化膜を堆積し、その表面にp型仕切領域11となる領域をレジストマスクで形成して酸化膜をエッチングイオンによってエッチングして溝を形成する。そして、選択エピタキシャル成長によって溝部分にp型不純物を埋め込み、p型エピタキシャル層を形成し酸化膜を除去する。n型半導体基体はn型ドリフト領域12となるため、p型仕切領域11とn型ドリフト領域12とから成る並列 p n 層の半導体基体領域42が形成され、裏面にドレイン電極14を蒸着する。



【特許請求の範囲】

【請求項 1】 第一の主面と第二の主面間に第一導電型第一領域と第二導電型第二領域とを交互に形成してなる並列 p n 層を備える半導体素子の製造方法において、前記第一の主面にデバイス構造を有し、前記並列 p n 層は、前記第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部を、該 p n 層が形成される基体に対して、前記第二の主面側から形成することによって形成されることを特徴とする半導体素子の製造方法。

【請求項 2】 前記デバイス構造が M I S 構造または p n 接合またはショットキー接合のいずれかを含むことを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】 前記デバイス構造の少なくとも一部を形成した後、前記第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部を形成することを特徴とする請求項 1 または請求項 2 に記載の半導体素子の製造方法。

【請求項 4】 前記第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部が、選択的なエッチングにより形成された溝に、エピタキシャル成長による埋め込みを行なって形成されることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体素子の製造方法。

【請求項 5】 前記エピタキシャル成長が選択エピタキシャル成長、または液相エピタキシャル成長であることを特徴とする請求項 4 に記載の半導体素子の製造方法。

【請求項 6】 前記選択的なエッチングが異方性エッチングであることを特徴とする請求項 4 または請求項 5 に記載の半導体素子の製造方法。

【請求項 7】 前記第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部が、一回以上の選択的なイオン注入による不純物導入と熱処理により形成されることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体素子の製造方法。

【請求項 8】 前記並列 p n 層が、該並列 p n 層の形成前あるいは後に、前記第二の主面側からの機械的または化学的研磨により、前記第一の主面からの厚さが所定の厚さとなるように形成されることを特徴とする請求項 4 乃至請求項 7 のいずれかに記載の半導体素子の製造方法。

【請求項 9】 前記並列 p n 層の第二の主面側に、第一導電型あるいは第二導電型の不純物の導入と熱処理により、第一導電型領域あるいは第二導電型領域を形成することを特徴とする請求項 4 乃至請求項 8 のいずれかに記載の半導体素子の製造方法。

【請求項 10】 前記第一導電型領域あるいは前記第二導電型領域の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることを特徴とする請求項 9 に記載の半導体素子の製造方法。

【請求項 11】 第一の主面と第二の主面間に第一導電

型第一領域と第二導電型第二領域とを交互に形成してなる並列 p n 層を備える半導体素子の製造方法において、前記第一の主面を含む半導体部分と前記並列 p n 層の少なくとも一部を含む半導体部分とを接続する工程を含むことを特徴とする半導体素子の製造方法。

【請求項 12】 前記並列 p n 層の少なくとも一部を含む半導体部分が前記第二の主面を含むことを特徴とする請求項 11 に記載の半導体素子の製造方法。

【請求項 13】 前記並列 p n 層が、該並列 p n 層以外の部分と、少なくとも一回以上の貼り合せによって形成されることを特徴とする請求項 11 または請求項 12 に記載の半導体素子の製造方法。

【請求項 14】 前記並列 p n 層が少なくとも一回以上の貼り合せにより形成されていることを特徴とする請求項 11 乃至請求項 13 のいずれかに記載の半導体素子の製造方法。

【請求項 15】 前記貼り合わせに際しては、貼り合わせ部を研磨した後、酸化膜除去を行い、所定の温度で熱処理を行うことを特徴とする請求項 13 または請求項 14 に記載の半導体素子の製造方法。

【請求項 16】 前記並列 p n 層の第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部が、選択的なエッチングにより形成された溝に、エピタキシャル成長による埋め込みを行なって形成されていることを特徴とする請求項 11 乃至請求項 15 のいずれかに記載の半導体素子の製造方法。

【請求項 17】 前記エピタキシャル成長が選択エピタキシャル成長、または液相エピタキシャル成長であることを特徴とする請求項 16 に記載の半導体素子の製造方法。

【請求項 18】 前記選択的なエッチングが異方性エッチングであることを特徴とする請求項 16 または請求項 17 に記載の半導体素子の製造方法。

【請求項 19】 前記並列 p n 層の第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部は、一回以上の選択的なイオン注入による不純物導入と熱処理により形成されることを特徴とする請求項 11 乃至請求項 15 のいずれかに記載の半導体素子の製造方法。

【請求項 20】 選択的なエッチングにより形成された溝をエピタキシャル法により埋め込む際、前記溝の底面の面方位を (110) または (100) とし、前記溝の側面の面方位を (111) とすることを特徴とする請求項 4、5、6、16、17、18 のいずれかに記載の半導体素子の製造方法。

【請求項 21】 第一の主面と第二の主面間に第一導電型第一領域と第二導電型第二領域とを交互に形成してなる並列 p n 層であって、前記第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部が、p n 層が形成される基体に対して、前記第二の主

面側から形成されてなるpn層を備える半導体素子において、

前記第一の主面側に第二導電型のウェルと、該ウェルにより前記第一導電型第一領域から離間された第一導電型のソース領域と、該ソース領域に接するウェルの表面にゲート絶縁膜を介して設けられたゲート電極とを有し、前記ウェルが間隔を空けてストライプ状に延びた複数の部分を含み、且つ前記第二領域が間隔を空けてストライプ状に延びた複数の部分を含むことを特徴とする半導体素子。

【請求項22】 第一の主面と第二の主面間に第一導電型第一領域と第二導電型第二領域とを交互に形成してなる並列pn層を備える半導体素子であって、前記第一の主面を含む半導体部分と前記並列pn層の少なくとも一部を含む半導体部分との間にこれら半導体部分を接続する接続部を有する半導体素子において、

前記第一の主面側に第二導電型のウェルと、該ウェルにより前記第一導電型第一領域から離間された第一導電型のソース領域と、該ソース領域に接するウェルの表面にゲート絶縁膜を介して設けられたゲート電極とを有し、前記ウェルが間隔を空けてストライプ状に延びた複数の部分を含み、且つ前記第二領域が間隔を空けてストライプ状に延びた複数の部分を含むことを特徴とする半導体素子。

【請求項23】 前記ウェルの間隔を空けてストライプ状に延びた複数の部分の間に、前記第一導電型第一領域より、ネットの不純物濃度の高い部分を含む第一導電型の表面ドレイン領域を有することを特徴とする請求項21または請求項22に記載の半導体素子。

【請求項24】 前記第一導電型第一領域が、間隔を空けてストライプ状に延びた複数の部分を含むことを特徴とする請求項20乃至請求項22のいずれかに記載の半導体素子。

【請求項25】 前記ゲート電極が間隔を空けてストライプ状に延びた複数の部分を含むことを特徴とする請求項21乃至請求項24のいずれかに記載の半導体素子。

【請求項26】 前記ウェルのストライプの方向と前記第二領域のストライプの方向が異なることを特徴とする請求項21ないし請求項25のいずれかに記載の半導体素子。

【請求項27】 前記ウェルのストライプの方向と前記第二領域のストライプの方向が概ね垂交することを特徴とする請求項26に記載の半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（絶縁ゲートバイポーラトランジスタ）、バイポーラトランジスタ、ダイオード等に適用可能な、高耐圧化と大電流量容量を両立させるための縦型半導体素子の構造、およびそ

の構造を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】一般に半導体素子は、片面に電極部をもつ横型素子と、両面に電極部をもつ縦型素子とに大別できる。縦型半導体素子は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアス電圧による空乏層の延びる方向とが同じである。例えば、図51は、通常のプレーナ型のnチャネル縦型MOSFETの部分断面図である。

10 【0003】この縦型MOSFETは、ドレイン電極58が導電接触した低抵抗のn⁺ドレイン層51の上に形成された高抵抗のn⁻ドリフト層52と、n⁻ドリフト層52の表面層に選択的に形成されたpベース領域53と、そのpベース領域53内に選択的に形成された高不純物濃度のn⁺ソース領域54と、n⁺ソース領域54とn⁻ドリフト層52とに挟まれたpベース領域53の表面上にゲート絶縁膜55を介して設けられたゲート電極層56と、n⁺ソース領域54とpベース領域53との表面に共通に接触して設けられたソース電極57とによって構成されている。

20 【0004】このような縦型素子において、高抵抗のn⁻ドリフト層52の部分は、MOSFETがオン状態のときは縦方向にドリフト電流を流す領域として働き、オフ状態のときは、空乏化して耐圧を高める作用をする。この高抵抗のn⁻ドリフト層52の電流経路を短くすることは、ドリフト抵抗が低くなるのでMOSFETの実質的なオン抵抗（ドレインD-ソースS間の抵抗）を下げる効果に繋がるものの、一方では、pベース領域53とn⁻ドリフト層52との間のpn接合から進行するドレインD-ベースB間の空乏層が広がる幅が狭くなって、シリコンの最大（臨界）電界強度に速く達するため、耐圧（ドレインD-ソースS間の電圧）が低下してしまう。

30 【0005】また、逆に、耐圧の高い半導体装置では、n⁻ドリフト層52が厚くなるため、必然的にオン抵抗が大きくなり、損失が増大することになる。すなわち、オン抵抗（電流容量）と耐圧との間には、一方を改善すれば他方に悪影響を及ぼすトレードオフの関係がある。このトレードオフの関係は、IGBT、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。また、この問題は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の延びる方向とが異なる横型半導体素子についても共通である。

40 【0006】このような問題に対する解決法として、n⁻ドリフト層52を、不純物濃度を高めたn型の領域とp型の領域とを交互に積層した並列pn層で構成し、オフ状態のときは、空乏化して耐圧を負担するようにした構造の半導体装置が、例えば、EP0053854、USP5216275、USP5438215および本発

明の発明者らによる特開平9-266311号公報などに開示されている。

【0007】図52は、USP5216275に開示された半導体装置の一実施例である縦型MOSFETの部分断面図である。図51との違いは、ドリフト層62が単一層でなく、nドリフト領域62aとpドリフト領域62bとからなる並列pn層とされている点である。63はpベース領域、64はn⁺ソース領域、65はゲート絶縁膜、66はゲート電極層、67はソース電極、68はドレイン電極である。このドリフト層62は、n⁺ドレイン層61をサブストレートとしてエピタキシャル法により、高抵抗のn型層を成長させ、選択的にn⁺ドレイン層61に達するトレンチをエッチングしてnドリフト領域62aとした後、更にトレンチ内にエピタキシャル法によりp型層を成長してpドリフト領域62bが形成される。

【0008】すなわち、相互に対向する二つの主面に設けられた電極間に電流が流れる積層構造の縦型半導体素子は、電極が設けられる第一、第二の主面間に、低抵抗層を介してオン状態では電流を流し、オフ状態では空乏化する第一導電型ドリフト領域及び第二導電型仕切領域を交互に配置した並列pn層を備えて構成されている。そこで、本発明の発明者らは、オン状態では電流を流すとともに、オフ状態では空乏化する並列pn層からなるドリフト層を備える半導体素子を以下、超接合半導体素子と称することとする。

【0009】

【発明が解決しようとする課題】超接合半導体素子におけるオン抵抗(Ron・A)と耐圧(Vb)とのトレードオフ関係は、原理的には次の①式で表される。

【数1】

$$Ron \cdot A = \frac{4 \cdot d \cdot Vb}{\mu \cdot \epsilon_0 \cdot \epsilon_s \cdot Ec^2} \quad \dots \textcircled{1}$$

但し、 μ ：電子の移動度 ϵ_0 ：真空の誘電率 ϵ_s ：Siの比誘電率

d：n型ドリフト領域幅 Ec：臨界電界

【0010】すなわち、①式からもわかるように、オン抵抗は耐圧に比例するに過ぎず、耐圧が高くなってもオン抵抗がそれほど増大しない。また、同じ耐圧でも、n型ドリフト領域幅を小さくすることで、オン抵抗を更に低減することができる。このような超接合半導体素子を量産性よく製造する方法として、第一導電型ドリフト領域と第二導電型仕切領域のうち、少なくとも一方を一回以上のエピタキシャル成長とイオン注入による不純物導入と熱処理により形成する製造方法が、本発明者らの先に出願した特開2000-40822号公報に報告されている。

【0011】しかし、上述の公報に示される製造方法では、並列pn層をエピタキシャル成長とイオン注入およ

び熱処理の繰り返しにより形成し、しかる後に第一の主面側および第二の主面側にMOSFETなどの電極部を構成するようにしている。このような製造方法では、並列pn層の形成と、主面側のデバイス形成をそれぞれ別個に行うことができず、工程数が多くなり、また工程が複雑となって製造コストが高くなると共に、並列pn層が形成された後に第一主面側の素子部などの形成における熱処理が必須となり、このため並列pn層が受ける熱処理回数が多くなって、その理想的な特性を有する並列pn層が得られない等の問題がある。さらに、高耐圧化の為に並列pn層の厚さを厚くすれば、その分熱処理回数が増え、上記問題が顕著となる為、上記製造方法での高耐圧化には限界がある。

【0012】本発明は、このような事情に鑑みてなされたものであり、その目的は、並列pn層が受ける熱処理回数を削減することができ、その特性劣化を防止できると共に、安価に且つ量産性良く製造できる超接合半導体素子(半導体素子)を提供することにある。

【0013】

【課題を解決するための手段】上述した課題を解決するため、本発明は、次のように構成されてなる。

(1) 先ず、本発明は、第一の主面と第二の主面間に第一導電型第一領域と第二導電型第二領域とを交互に形成してなる並列pn層を備える半導体素子の製造方法において、前記第1の主面にデバイス構造を有し、前記並列pn層は、前記第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部を、該pn層が形成される基体に対して、前記第二の主面側から形成することによって、形成されることを特徴とするものである。なお、第一導電型第一領域と第二導電型第二領域の平面的な形状はストライプ状に限らず、格子状、網目状であっても良い。

【0014】このような製造方法によれば、並列pn層の形成と第一の主面側の例えばデバイス形成を別個に行うことができ、製造工程を簡略化できると共に、並列pn層が受ける熱処理回数を従来に比して削減することができ、その特性劣化を防止できる。すなわち、第二の主面(裏)側からの溝形成と埋込層形成が行われるため、第一主面側にMOSFETなどのデバイスを形成する場合において、その後に溝形成や埋込を行うことにより、余分な熱履歴が加わらず、理想に近いpn接合面を得ることができる。そして、このような製造方法によれば、耐圧とオン抵抗とのトレードオフ関係を大幅に改善した半導体素子を安価に且つ量産性良く製造できる。

【0015】(2) また、本発明は、前記デバイス構造がMIS構造またはpn接合またはショットキー接合のいずれかを含むことを特徴とするものである。(3) さらに前記デバイス構造の少なくとも一部を形成した後、前記第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部を形成することを

特徴とするものである。このような構成によって、並列 p n 層の受ける熱処理回数を少なくすることができる。

(4) また、本発明は、前記第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部が、選択的なエッチングにより形成された溝に、エピタキシャル成長による埋め込みを行なって形成されることを特徴とするものであり、このような構成によれば、並列 p n 層が第二の主面側から容易に形成される。

【0016】(5) さらに本発明において、前記エピタキシャル成長が選択エピタキシャル成長、または液相エピタキシャル成長であることを特徴とするものであり、このような構成によれば、エピタキシャル成長とイオン注入と熱処理を用いた形成方法に比べて深さ方向に連続に、ほぼ均一な不純物濃度を形成することが可能となり、溝への所望の埋め込みを行うことができる。

(6) また、本発明は、前記選択的なエッチングが異方性エッチングであることを特徴とするものであり、このような構成によれば、トレンチの形成が容易となる。

【0017】(7) さらに本発明は、前記第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部が、一回以上の選択的なイオン注入による不純物導入と熱処理により形成されることを特徴とするものであり、このような構成によれば、イオン注入により不純物導入を行うため、溝の形成、埋込の必要はなく、製造工程数を大幅に低減することができる。また、第二の主面側からのイオン注入であるため、第一主面側に MOSFET などの素子が形成されていれば、イオン注入後にイオンを活性化させるための最小限の熱処理を行うだけでよい。なお、不純物濃度は深さ方向に連続な波形の不純物濃度となるが、深さ方向の不純物濃度の偏りは生じない。

【0018】(8) さらに本発明は、前記並列 p n 層が、該並列 p n 層の形成前あるいは後に、前記第二の主面側からの機械的または化学的研磨により、前記第一の主面からの厚さが所定の厚さとなるように形成されることを特徴とするものである。並列 p n 層の厚さは耐圧クラスに応じて制御する必要があるが、このような構成によれば、第一の主面からの所定の厚さが容易に得られる。なお、耐圧クラスに必要な厚さにしてから並列 p n 層の形成を行えば、製造効率を高めることができる。

【0019】(9) また、本発明において、前記並列 p n 層の第二の主面側に、第一導電型あるいは第二導電型の不純物の導入と熱処理により、第一導電型領域あるいは第二導電型領域を形成することを特徴とするものであり、このような構成によれば、第二主面側に必要な電極等を容易に形成することができる。

【0020】(10) また、本発明において、前記第一導電型領域あるいは前記第二導電型領域の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることが望ましい。第二導電型領域の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であれば、第二の主

面側の電極と十分なオーミック接触を得ることができる。

【0021】(11) また、本発明は、第一の主面と第二の主面間に第一導電型第一領域と第二導電型第二領域とを交互に形成してなる並列 p n 層を備える半導体素子の製造方法において、前記第一の主面を含む半導体部分と前記並列 p n 層の少なくとも一部を含む半導体部分とを接続する工程を含むことを特徴とするものである。このような構成によれば、第一の主面を含む半導体部分と前記並列 p n 層の少なくとも一部を含む半導体部分とを別個独立に形成することができ、並列 p n 層が不必要な熱処理を受ける回数を削減することができ、理想的な並列 p n 層を得ることができる。

【0022】(12) また、本発明は、前記並列 p n 層の少なくとも一部を含む半導体部分が前記第二の主面を含むことを特徴とするものであり、(13) また、前記並列 p n 層が、該並列 p n 層以外の部分と、少なくとも一回以上の貼り合せによって形成されることを特徴とするものであり、(14) さらに、前記並列 p n 層が少なくとも一回以上の貼り合せにより形成されていることを特徴とするものである。

(15) ここで、前記貼り合わせに際しては、貼り合わせ部を研磨した後、酸化膜除去を行い、所定の温度で熱処理を行うようにしている。以上のような貼り合わせを用いて半導体素子を製造するようになれば、並列 p n 層を任意の厚さに容易に制御することができるので、所望の高耐圧化が容易にできる。

【0023】(16) さらに、本発明は、これらの場合において、前記並列 p n 層の第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部が、選択的なエッチングにより形成された溝に、エピタキシャル成長による埋め込みを行なって形成されることが望ましく、(17) このエピタキシャル成長については、選択エピタキシャル成長、または液相エピタキシャル成長であること、(18) また、前記選択的なエッチングが異方性エッチングであることが望ましい。

(19) さらに、本発明において前記並列 p n 層の第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部は、一回以上の選択的なイオン注入による不純物導入と熱処理により形成されることが望ましい。

【0024】(20) さらにまた、本発明において、選択的なエッチングにより形成された溝をエピタキシャル法により埋め込む際、前記溝の底面の面方位を (110) または (100) とし、前記溝の側面の面方位を (111) とすることが望ましい。このような構成によれば、溝の底面の成長速度を側面の成長速度に比べて大きくすることができ、溝のアスペクト比が大きな場合にも、溝のボイドレスな埋め込みが可能になる。

【0025】(21) また、本発明は、第一の主面と第

二の主面間に第一導電型第一領域と第二導電型第二領域とを交互に形成してなる並列p n層であって、前記第一導電型第一領域と前記第二導電型第二領域のうち、少なくとも一方の領域の一部が、p n層が形成される基体に対して、前記第二の主面側から形成されてなるp n層を備える半導体素子において、前記第一の主面側に第二導電型のウェルと、該ウェルにより前記第一導電型第一領域から離間された第一導電型のソース領域と、該ソース領域に接するウェルの表面にゲート絶縁膜を介して設けられたゲート電極とを有し、前記ウェルが間隔を空けてストライプ状に延びた複数の部分を含み、且つ前記第二領域が間隔を空けてストライプ状に延びた複数の部分を含むことを特徴とするものである。

【0026】(22)さらに、本発明は、第一の主面と第二の主面間に第一導電型第一領域と第二導電型第二領域とを交互に形成してなる並列p n層を備える半導体素子であって、前記第一の主面を含む半導体部分と前記並列p n層の少なくとも一部を含む半導体部分との間にこれら半導体部分を接続する接続部を有する半導体素子において、前記第一の主面側に第二導電型のウェルと、該ウェルにより前記第一導電型第一領域から離間された第一導電型のソース領域と、該ソース領域に接するウェルの表面にゲート絶縁膜を介して設けられたゲート電極とを有し、前記ウェルが間隔を空けてストライプ状に延びた複数の部分を含み、且つ前記第二領域が間隔を空けてストライプ状に延びた複数の部分を含むことを特徴とするものである。

【0027】これらの場合において、(23)本発明は、さらに、前記ウェルの間隔を空けてストライプ状に延びた複数の部分の間に、前記第一導電型第一領域より、ネットの不純物濃度の高い部分を含む第一導電型の表面ドレイン領域を有することが望ましく、(24)また、前記第一導電型第一領域が、間隔を空けてストライプ状に延びた複数の部分を含むことが望ましく、(25)さらに前記ゲート電極が間隔を空けてストライプ状に延びた複数の部分を含むことが望ましく、(26)また、前記ウェルのストライプの方向と前記第二領域のストライプの方向が異なるようにしても良い。(27)さらに、前記ウェルのストライプの方向と前記第二領域のストライプの方向が概ね垂直するようにしても良い。

【0028】このような構成によれば、ネットの不純物濃度が高ければ、表面でのJ F E T効果は低減されるため、低オン抵抗化が可能となる。また、ウェルと第二領域のストライプがおおよそ垂直していれば、表面デバイスと並列p n層との高精度な位置合わせが必要なくなり、容易に高性能な超接合半導体素子を製造することができる。

【0029】

【発明の実施の形態】以下、図面を参照して、本発明における超接合半導体素子の実施の形態の幾つかを詳細に

説明する。尚、以下の説明では、nまたはpを付した層や領域は、それぞれ、電子または正孔を多数キャリアとする層や領域を意味している。また、上付きサフィックスの+は比較的高不純物濃度の領域を意味し、-は比較的低不純物濃度の領域を意味している。また、以下の実施の形態では、第一および第二の主面に取り付けられる電極、及びこれらの電極に取り付けられる低抵抗層であるアノード層及びカソード層のいずれか一方はその図示を省略して説明する場合がある。さらに、各図面において同一である部分、または実質的に同一と見なす部分の符号は同一符号を付すことにする。

【0030】まず、本発明の実施の形態に係る縦型超接合MOS F E Tの構造について説明する。図1は、本発明の実施の形態に係る縦型超接合MOS F E Tの部分断面を示す斜視図である。図1において、13は低抵抗のn⁺ドレイン層であり、さらに、12はn型ドリフト領域、11はp型仕切領域であり、この両者が半導体基体領域42を構成している。

【0031】また、表面層には、n型ドリフト領域12に接続してnチャネル層40が形成され、p型仕切領域11に接続してpベース領域2が形成されている。pベース領域2の内部にn⁺ソース領域4と高濃度のp⁺コンタクト領域3とが形成されている。n⁺ソース領域4とnチャネル層40とに挟まれたpベース領域2の表面上には、ゲート絶縁膜41を介してゲート電極層5が設けられ、また、n⁺ソース領域4と高濃度のp⁺コンタクト領域3の表面に共通に接触してソース電極15が設けられている。さらに、n⁺ドレイン層13の裏面にはドレイン電極14が設けられている。ソース電極15は、図に示すように層間絶縁膜6を介してゲート電極層5の上に延長されることが多い。p型仕切領域11とn型ドリフト領域12からなる半導体基体領域42のうち、ドリフト電流が流れるのはn型ドリフト領域12であるが、以下の説明では、p型仕切領域11を含めた半導体基体領域42をドリフト層と呼ぶことにする。

【0032】次に、図1に示す縦型超接合MOS F E Tの動作について説明する。ゲート電極層5に所定の正の電圧が印加されると、ゲート電極層5直下のpベース領域2の表面層に反転層が誘起され、n⁺ソース領域4から反転層を通じてnチャネル層40の領域に注入された電子が、n型ドリフト領域12を通じてn⁺ドレイン層13に達し、ドレイン電極14とソース電極15との間が導通する。

【0033】そして、ゲート電極層5への正の電圧が取り去られると、pベース領域2の表面層に誘起された反転層が消滅し、ドレインD-ソースS間が遮断される。更に、逆バイアス電圧を大きくすると、各p型仕切領域11はpベース領域2を介してソース電極15で連結されているので、pベース領域2とnチャネル層40との間のp n接合、及びp型仕切領域11とn型ドリフト領

10

20

30

40

50

域12とのpn接合から、それぞれ空乏層がn型ドリフト領域12及びp型仕切領域11内に広がり、これらが空乏化される。

【0034】p型仕切領域11とn型ドリフト領域12とのpn接合からの空乏端は、n型ドリフト領域12の幅方向に広がり、しかも、両側のp型仕切領域11から空乏層が広がるので、空乏化は非常に早まる。従って、n型ドリフト領域12の不純物濃度を高めることができる。また、p型仕切領域11も同時に空乏化される。p型仕切領域11も両側面から空乏端が広がるので空乏化が非常に早まる。また、p型仕切領域11とn型ドリフト領域12とを交互に形成することにより、隣接するn型ドリフト領域12の双方へ空乏端が進入するようになっているので、空乏層形成のためのp型仕切領域11の総占有幅を半減することができ、その分、n型ドリフト領域12の断面積の拡大を図ることができる。

【0035】例えば、300Vクラス MOSFETとして、各部の寸法および不純物濃度等は次のような値をとる。n⁺ドレイン層13の比抵抗は0.01Ω・cm、厚さ350μm、p型仕切領域11とn型ドリフト領域12からなる半導体基体領域42（すなわち、ドリフト層）の厚さ25μm、n型ドリフト領域12およびp型仕切領域11の幅5μm（すなわち、同じ型の埋め込み領域の中心間隔10μm）、平均不純物濃度 $7 \times 10^{15} \text{ cm}^{-3}$ 、pベース領域2の拡散深さ3μm、表面不純物濃度 $3 \times 10^{17} \text{ cm}^{-3}$ 、n⁺ソース領域4の拡散深さ0.3μm、表面不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$ である。

【0036】図51のような従来の単層の高抵抗ドリフト層を持つ縦型MOSFETでは、300Vクラスの耐圧とするためには、n⁺ドリフト層52の不純物濃度としては $2 \times 10^{14} \text{ cm}^{-3}$ 、厚さ40μm程度が必要であった。しかし、本実施の形態の超接合MOSFETでは、n型ドリフト領域12の不純物濃度を高くしたことで、そのことにより、ドリフト層である半導体基体領域42（すなわち、p型仕切領域11とn型ドリフト領域12）の厚さを薄くすることができたため、オン抵抗としては、従来に比べて約5分の1に低減できた。

【0037】更に、n型ドリフト領域12の幅を狭くし、不純物濃度を高くすれば、より一層のオン抵抗の低減化、及びオン抵抗と耐圧とのトレードオフ関係の改善を図ることが可能である。本実施の形態の超接合MOSFETと、例えば図52に示した従来の超接合MOSFETとの違いは、特に、ドリフト層である半導体基体領域42（すなわち、p型仕切領域11とn型ドリフト領域12）の形成方法、及び、その結果としてのドリフト層の構造にある。すなわち、ドリフト層であるn型ドリフト領域12とp型仕切領域11とが不純物の拡散により形成されているため、このドリフト層内に拡散にともなう不純物濃度分布を有する点である。

【0038】以下、本発明における超接合MOSFETの製造方法、並びに超接合MOSFETの構造における具体的な実施の形態について説明する。

【第1の実施の形態】 先ず、本発明における超接合MOSFETの第1の実施の形態の製造方法について説明する。図2～図7は、本発明の第1の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図であり、図番の順に工程の流れを示している。

【0039】先ず、図2の工程において、通常の2重拡散MOSFETの製造工程に従い、n型半導体基体1の表面層に選択的なpベース領域2と、そのpベース領域2内に選択的な高不純物濃度のp⁺コンタクト領域3と選択的なn⁺ソース領域4と、pベース領域2のうちn⁺ソース領域4とn型半導体基体1とに挟まれた表面上にゲート酸化膜を介しポリシリコン（Poly-Si）等のゲート電極層5とを形成し、その表面に層間絶縁膜6を堆積させる。これに続き、裏面から機械的な研磨により所定の厚さに仕上げる。

【0040】次に、図3の工程において、裏面にCVDで酸化膜7を堆積し、その表面にp型仕切り領域となる領域をフォトリソグラフィによりレジストマスク8で形成し、酸化膜7をエッチングイオン9によってエッチングする。そして、図4の工程において、レジストマスク8を除去後、酸化膜7をマスクにして表面のpベース領域2までRIE（反応性イオンエッチング）に代表されるSiの異方性エッチングで溝を形成する。

【0041】次に、図5の工程において、酸化膜7上にはSi単結晶が成長しない特性を利用した選択エピタキシャル成長（低温、減圧、HCl原料ガス（p型の場合はジボラン、n型の場合はホスフィンとの混合ガス）、あるいは液相エピタキシャル成長（Sn融液（シリコンに触媒としてのSnとp型不純物としてのボロンを加えたもの）による溝へのp型不純物の埋め込みを行ない、p型エピタキシャル層10を形成する。その後、酸化膜7を除去する。さらに、図6の工程において、裏面の凹凸をなくすために、機械的あるいは化学的研磨を行なって裏面を平坦化した後、図7の工程において、裏面全域にn型不純物を導入し、熱処理で活性化させn⁺ドレイン層13を形成する。以後、通常のMOSFETの製造に戻り、コンタクトホール形成、ソース電極15の形成、パシベーション膜の堆積、ドレイン電極14の蒸着を行なう。

【0042】ここで、n型半導体基体1はn型ドリフト領域12となるため、n型ドリフト領域12の幅及びp型仕切り領域11の幅で凡そ決まる不純物濃度にしておくことが望ましい。例えば、n型ドリフト領域12の幅及びp型仕切り領域11の幅が8μmである場合、その不純物濃度は $2 \times 10^{15} \text{ cm}^{-3}$ 程度となる。また、耐圧は並列pn層の厚さに比例するため、耐圧クラスによって厚さを決めなければならない。例えば、600Vクラスな

ら50 μ m程度あればよい。

【0043】尚、前述における溝の液相エビタキシャル法による埋め込みの工程では、Siに対するSn融液のように、濡れ性が良く、且つ表面張力から見ても毛細管現象が生じやすい融液を使用することで、容易に溝を埋め込むことが可能になる。更に、溝の底面の成長速度が、側面の成長速度に比べ大きくなるように、溝の底面の面方位を(110)または(100)、溝の側面の面方位を(111)にすることで、溝のアスペクト比が大きな場合でも、溝のボイドレスな埋め込みが可能になる。尚、以下に述べる各実施の形態における溝も埋め込み工程においても同様である。

【0044】図8は、図7における各断面の不純物濃度分布を示し、(a)はA-A'断面、(b)はB-B'断面、(c)はC-C'断面での不純物濃度プロファイルを示している。すなわち、図8は、横軸に各断面部分の距離をとり、縦軸に不純物濃度(cm^{-3})をとっている。

【0045】また、表面のMOSFET形成時に加わる熱履歴が無く、裏面から並列pn層を低温でエビタキシャル成長で形成するため、図8(b)に示すようなn型ドリフト領域12の不純物濃度特性や、図8(c)に示すようなp型仕切領域11の不純物濃度特性は、深さ方向において均一の状態となり、pn接合面は図8(a)に示すような理想的な接合となっている。さらに、補償効果による不純物濃度のばらつきがほとんど無く、各領域の不純物濃度の制御が容易であるため微細加工に適している。尚、第1の実施の形態ではp型仕切領域11を埋め込みで形成しているが、n型ドリフト領域12を埋め込みで形成してもよい。

【0046】[第2の実施の形態]次に、本発明における超接合MOSFETの第2の実施の形態の製造方法について説明する。図9～図13は、本発明の第2の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。すなわち、図9～図13に示す第2の実施の形態は、ボロンの高エネルギーイオン注入と熱処理によってp型仕切領域11を形成している点で、図2～図7に示した第1の実施の形態の製造方法と異なっている。したがって、図10、図11に示す工程が実施の形態1の工程と異なり、他は実施の形態1と全く同じであるので、ここでは異なる工程のみを説明し、実施の形態1と同じ工程については説明を省略する。

【0047】すなわち、第1の実施の形態の製造工程における、図3、図4の裏面からの溝形成の工程及び図5のp型不純物の埋め込み工程の代わりに、第2の実施の形態では、図10の工程において高エネルギーのボロンイオン16を注入し、図11の工程において熱処理によってp型エビタキシャル層10を形成している。このため、第1の実施の形態に比べて、製造工数を大幅に低減

することができる。また、熱処理はボロンイオン16を活性化させるのに必要な1000°C程度の温度で行えばよく、熱拡散による補償量は小さく抑えられる。

【0048】図14は、図13における各断面の不純物濃度分布を示し、(a)はA-A'断面、(b)はB-B'断面、(c)はC-C'断面での不純物濃度プロファイルを示している。すなわち、図14(b)に示すように、n型ドリフト領域12はn型半導体基体1であるため、深さ方向に均一の不純物濃度プロファイルを示している。しかし、p型仕切領域11の不純物濃度プロファイルは、ボロンイオン16の注入と熱処理によって形成されるため、図14(c)に示すようにプロファイルは波形となっている。但し、複数領域に亘って所定位置へボロンイオン16を注入した後、熱処理を行っているため、深さ方向での不純物濃度の偏りは生じていない。

【0049】さらに、ボロンイオン16を注入するときの加速電圧(エネルギー)を連続的に変化させれば、凡そ均一な不純物濃度プロファイルが得られる。尚、前記熱処理は、イオン注入されたイオンを活性化させるだけの熱処理で充分である。このため、n側へのボロンの熱拡散は小さく抑えることができ、pn接合面は熱拡散が小さいことから、この実施の形態の場合でも理想的な接合面に近い状態を得ることができる。また、p型仕切領域11の不純物濃度の制御はボロンイオン16の注入で制御を行っているため制御性に優れており、微細化する場合にも、ボロンイオン16の注入される領域の窓(マスク窓)を変えるだけでよい。尚、第2の実施の形態では、p型仕切領域11をボロンイオン注入で形成しているが、n型ドリフト領域12をリンイオンあるいは砒素イオン注入で形成しても構わない。

【0050】[第3の実施の形態]次に、本発明における超接合MOSFETの第3の実施の形態の製造方法について説明する。図15～図20は、本発明の第3の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。すなわち、第3の実施の形態は、n型の高比抵抗基体の表面層にMOSFETを形成した後、裏面からボロンとリンの高エネルギーイオンを注入して熱処理を行い、p型仕切領域11及びn型ドリフト領域12を形成している点が、第2の実施の形態の製造方法と異なっている。したがって、第3の実施の形態は、第2の実施の形態において、図17のリンイオン17の注入工程が追加されたものである。

【0051】図15に示す工程においては、図9に示すようなn型半導体基体1ではなく、n⁻半導体基体21の表面層にMOSFETを形成する。そして、裏面より、図16に示す工程においてレジストマスク8をマスクとして高エネルギーのボロンイオン16を注入し、さらに、図17に示す工程において図16のレジストマスク8の除去後、再度レジストマスク8を形成して高エネ

ルギーのリンイオン 17 を注入し、図 18 の工程において熱処理によって p 型エピタキシャル層 10 を形成している。このようにして、図 20 に示すように、p 型仕切領域 11 及び n 型ドリフト領域 12 を、ボロンとリンの高エネルギーイオン注入と活性化に必要な 1000°C 程度の熱処理によって形成しているため、不純物濃度の制御を容易に行うことができる。

【0052】図 21 は、図 20 における各断面の不純物濃度分布を示し、(a) は A-A' 断面、(b) は B-B' 断面、(c) は C-C' 断面での不純物濃度プロファイルを示している。すなわち、図 21 (b) の n 型ドリフト領域 12 の不純物濃度プロファイル及び図 21 (c) の p 型仕切り領域 11 の不純物濃度プロファイルは、ボロンイオン及びリンイオン注入と熱処理によって形成されるために波形となるが、何れの場合も、深さ方向での不純物濃度の偏りは生じていない。尚、pn 接合面は熱拡散が小さいことから、この実施の形態の場合でも理想的な接合面に近い。

【0053】図 22、図 23 は、第 1～第 3 の実施の形態の製造方法によって製造された縦型超接合 MOSFET の断面斜視図であり、図 22 は並列 pn 層が平行構造、図 23 は並列 pn 層が直角構造の超接合 MOSFET を示す。すなわち、前述の第 1 の実施の形態～第 3 の実施の形態によって製造された縦型超接合 MOSFET は、表面に形成された MOSFET と、p 型仕切り領域 11 及び n 型ドリフト領域 12 からなる並列 pn 層との平面的な位置関係は、図 22 に示すように平行構造に形成することもできるし、図 23 のように直角構造に形成することもできる。図 23 のように、表面 MOSFET に対して並列 pn 層を直角構造に形成することにより、表面 MOSFET との位置合わせの必要がなくなり、並列 pn 層の微細化が一層容易となる。尚、これらの図の縦型超接合 MOSFET の詳細な構造については図 1 で説明済みである。

【0054】[第 4 の実施の形態] 次に、本発明における超接合 MOSFET の第 4 の実施の形態の製造方法について説明する。図 24～図 26 は、縦型超接合 MOSFET の製造方法で表面 MOSFET を形成する手順を示す工程図である。また、図 27～図 32 は、図 24～図 26 で形成された表面 MOSFET を用いて超接合 MOSFET を製造する製造方法を示す工程図である。したがって、第 4 の実施の形態は、図 24～図 26 の工程で形成された表面 MOSFET 部と、図 27～図 32 の工程で形成された並列 pn 層部とを個別に製造し、貼り合せ法によって超接合 MOSFET を製造する方法である。

【0055】すなわち、図 24～図 26 は、通常の 2 重拡散による MOSFET の製造工程を示している。先ず、前述の図 2 に示した第 1 の実施の形態の場合と同様に、図 24 の工程において n 型半導体基体 1 を用意して

コンタクトホール形成し、図 25 の工程において表面 MOSFET を形成した後にソース電極 15 を形成する。その後は、第 1 の実施の形態の工程とは異なり、図 26 の工程において、裏面から機械的研磨を行い、所定の厚さの表面 MOSFET 部を形成する。尚、研磨されて残される n 型半導体基体 1 (すなわち、Si 部) の厚さは、p ベース領域 2 の接合深さ (x_j) 以下が望ましい。

【0056】次に、図 27 の工程において、n⁺低抵抗半導体基体 31 上に n エピタキシャル成長層 32 が形成された半導体基体を用意し、図 28 の工程において、n⁺低抵抗半導体基体 31 上の n 型半導体 (n エピタキシャル成長層 32) の表面から CVD で酸化膜 7 を堆積し、その表面に p 型仕切り領域となる領域をフォトリソグラフィによりレジストマスク 8 で形成し、酸化膜 7 をエッチングイオン 9 によってエッチングする。そして、図 29 の工程において、レジストマスク 8 を除去した後、酸化膜 7 をマスクにして異方性エッチングで溝を形成する。さらに、図 30 の工程において、酸化膜 7 上には Si 単結晶が成長しない特性を利用した選択エピタキシャル成長によって p 型不純物の埋め込みを行ない、p 型エピタキシャル層 10 を成長させて p 型仕切領域を形成し、酸化膜 7 を除去した後、表面を機械的に研磨して並列 pn 層を所定の厚さに形成する。

【0057】次に、図 31 の工程において、図 24～図 26 の工程で形成された表面 MOSFET と図 27～図 30 の工程で形成された並列 pn 層とを、所定の貼り合せ面 18 によって貼り合せてから熱処理を行ない、図 32 に示すような超接合 MOSFET を形成する。また、前述の工程において、貼り合せを行なう前に、貼り合せ面の自然酸化膜を HF 水溶液で除去しておく。さらに、貼り合せ時の熱処理温度は、ソース電極 15 である Al-Si の共融温度以下の 400°C 程度であり、且つ加圧下のもとで熱処理を行なう。尚、溝の形成及び選択エピタキシャルの方法、並びに図 32 の超接合 MOSFET の構造に関しては、前述の第 1 の実施の形態と同じであるので、詳細な説明は省略する。

【0058】図 33 は、図 32 における各断面の不純物濃度分布を示し、(a) は A-A' 断面、(b) は B-B' 断面、(c) は C-C' 断面での不純物濃度プロファイルを示している。第 4 の実施の形態では、表面の MOSFET 部と並列 pn 層部とを個別に形成しているので、図 33 (b) に示すように、n 型ドリフト領域 12 の不純物濃度が深さ方向に均一となっており、また、図 33 (c) に示すように、p 型仕切領域 11 の不純物濃度も深さ方向に均一となっており、pn 接合面は理想的な接合である。さらに、補償効果による不純物濃度のばらつきが殆ど無く、各領域における不純物濃度の制御は容易である。また、MOSFET 部と並列 pn 層部が貼り合せて形成されているので、貼り合せ部での不純物濃度プロファイルは急峻である。

【0059】[第5の実施の形態]次に、本発明における超接合MOSFETの第5の実施の形態の製造方法について説明する。図34～38は、本発明の第5の実施の形態における縦型超接合MOSFETの製造方法の工程図である。第5の実施の形態が、第4の実施の形態の工程と異なるところは、並列pn層部形成におけるp型仕切り領域11をボロンの高エネルギーイオン注入と熱処理で形成している点であり、その他は第4の実施の形態と全く同じである。すなわち、図35の工程において、ボロニオン16を注入して並列pn層を形成しているところのみが第4の実施の形態と異なっている。また、貼り合せされる表面MOSFETを形成する工程は前述の図24～図26の工程と同じである。したがって、図38に示すように形成された超接合MOSFETは、図32の超接合MOSFETの構成と全く同じである。

【0060】また、図39は、図38における各断面の不純物濃度分布を示し、(a)はA-A'断面、(b)はB-B'断面、(c)はC-C'断面での不純物濃度プロファイルを示している。この実施の形態の場合は、ボロニオン16の注入と熱処理によってpn層が形成されるため、図39(c)に示すように、p型仕切り領域11の不純物濃度プロファイルは波形となっている。但し、複数領域に亘って所定位置へボロニオン16を注入した後、熱処理を行っているため、深さ方向での不純物濃度の偏りは生じていない。

【0061】[第6の実施の形態]次に、本発明における超接合MOSFETの第6の実施の形態の製造方法について説明する。図40～図45は、本発明の第6の実施の形態における縦型超接合MOSFETの製造方法の工程図である。第6の実施の形態が、第5の実施の形態と異なるところは、並列pn層部の形成におけるp型仕切り領域11及びn型ドリフト領域12を、ボロンとリンの高エネルギーイオン注入と熱処理で形成している点である。したがって、第6の実施の形態では、図41の工程においてボロニオン16を注入した後、図42の工程においてリンイオン17を注入しており、その他の工程は第5の実施の形態に示した製造方法と同じである。

【0062】また、図46は、図45における各断面の不純物濃度分布を示し、(a)はA-A'断面、(b)はB-B'断面、(c)はC-C'断面での不純物濃度プロファイルを示している。すなわち、この実施の形態の場合は、図21で説明したように、図46(b)のn型ドリフト領域12の不純物濃度プロファイル及び図46(c)のp型仕切り領域11の不純物濃度プロファイルは、ボロニオン及びリンイオン注入と熱処理によって形成されるため波形となっているが、何れの場合も、深さ方向での不純物濃度の偏りは生じていない。尚、pn接合面は熱拡散が小さいことから、この実施の形態の場

合でも理想的な接合面に近い。

【0063】図47、図48は、第4～第6の実施の形態の製造方法によって製造された縦型超接合MOSFETの断面斜視図であり、図47は並列pn層が平行構造、図48は並列pn層が直角構造の超接合MOSFETを示す。すなわち、前述の第4の実施の形態～第6の実施の形態によって製造された縦型超接合MOSFETは、表面に形成されたMOSFETと、p型仕切り領域11及びn型ドリフト領域12からなる並列pn層との平面的な位置関係は、図47に示すように平行構造に形成することもできるし、図48に示すように直角構造に形成することもできる。図48に示すように、表面MOSFETに対して並列pn層を直角構造に形成することにより、表面MOSFETとの合わせの必要がなくなり、並列pn層の微細化が一層容易となる。

【0064】図49、図50は、第4～第6の実施の形態の製造方法によって製造された縦型超接合MOSFETで、貼り合せ面を2面とした場合の断面斜視図であり、図49は並列pn層が平行構造、図50は並列pn層が直角構造の超接合MOSFETを示す。すなわち、図47、図48に示したMOSFETでは、縦型超接合MOSFETの表面MOSFETと並列pn層の貼り合せ面18は1面だけであるが、図49、図50のように、貼り合せ面18a、18bを2面設けてもよく、且つそれぞれの面で平面的に直交していても構わない。素子の高耐圧化を図る場合には、並列pn層の厚さを厚くしなければならないが、このような貼り合せ法を用いれば、容易に任意の厚さにすることが可能となる。

【0065】以上述べた実施の形態は本発明を説明するための一例であり、本発明は、上記の実施の形態に限定されるものではなく、発明の要旨の範囲で種々の変形が可能である。例えば、前述の各実施の形態はMOSFETの製造方法を例に挙げて述べたが、これに限ることはなく、ショットキーバリアダイオードやFWDやIGBTやバイポーラトランジスタなどの製造方法においても本発明が適用できることは勿論である。

【0066】

【発明の効果】以上説明したように、本発明によれば、並列pn層が受ける熱処理回数を削減することができ、その特性劣化を防止できると共に、製造工程が簡単となって、安価に且つ量産性良く製造できる半導体素子を得ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る縦型超接合MOSFETの部分断面を示す斜視図である。

【図2】本発明の第1の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図3】本発明の第1の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図であ

る。

【図4】本発明の第1の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図5】本発明の第1の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図6】本発明の第1の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図7】本発明の第1の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図8】図7における各断面の不純物濃度分布を示し、(a)はA-A'断面、(b)はB-B'断面、(c)はC-C'断面での不純物濃度プロファイルを示す図である。

【図9】本発明の第2の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図10】本発明の第2の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図11】本発明の第2の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図12】本発明の第2の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図13】本発明の第2の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図14】図13における各断面の不純物濃度分布を示し、(a)はA-A'断面、(b)はB-B'断面、(c)はC-C'断面での不純物濃度プロファイルを示す図である。

【図15】本発明の第3の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図16】本発明の第3の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図17】本発明の第3の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図18】本発明の第3の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図19】本発明の第3の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

ある。

【図20】本発明の第3の実施の形態における縦型超接合MOSFETの素子断面で示した製造方法の工程図である。

【図21】図20における各断面の不純物濃度分布を示し、(a)はA-A'断面、(b)はB-B'断面、(c)はC-C'断面での不純物濃度プロファイルを示す図である。

【図22】第1～第3の実施の形態の製造方法によって製造された縦型超接合MOSFETの断面斜視図であり、並列pn層が平行構造のものを示す図である。

【図23】第1～第3の実施の形態の製造方法によって製造された縦型超接合MOSFETの断面斜視図であり、並列pn層が直角構造の超接合MOSFETを示す図である。

【図24】本発明の第4の実施の形態において、縦型超接合MOSFETの製造方法で表面MOSFETを形成する手順を示す工程図である。

【図25】本発明の第4の実施の形態において、縦型超接合MOSFETの製造方法で表面MOSFETを形成する手順を示す工程図である。

【図26】本発明の第4の実施の形態において、縦型超接合MOSFETの製造方法で表面MOSFETを形成する手順を示す工程図である。

【図27】図24～図26で形成された表面MOSFETを用いて超接合MOSFETを製造する、第4の実施の形態の製造方法を示す工程図である。

【図28】図24～図26で形成された表面MOSFETを用いて超接合MOSFETを製造する、第4の実施の形態の製造方法を示す工程図である。

【図29】図24～図26で形成された表面MOSFETを用いて超接合MOSFETを製造する、第4の実施の形態の製造方法を示す工程図である。

【図30】図24～図26で形成された表面MOSFETを用いて超接合MOSFETを製造する、第4の実施の形態の製造方法を示す工程図である。

【図31】図24～図26で形成された表面MOSFETを用いて超接合MOSFETを製造する、第4の実施の形態の製造方法を示す工程図である。

【図32】図24～図26で形成された表面MOSFETを用いて超接合MOSFETを製造する、第4の実施の形態の製造方法を示す工程図である。

【図33】図32における各断面の不純物濃度分布を示し、(a)はA-A'断面、(b)はB-B'断面、(c)はC-C'断面での不純物濃度プロファイルを示す図である。

【図34】本発明の第5の実施の形態における縦型超接合MOSFETの製造方法の工程図である。

【図35】本発明の第5の実施の形態における縦型超接合MOSFETの製造方法の工程図である。

【図36】本発明の第5の実施の形態における縦型超接合MOSFETの製造方法の工程図である。

【図37】本発明の第5の実施の形態における縦型超接合MOSFETの製造方法の工程図である。

【図38】本発明の第5の実施の形態における縦型超接合MOSFETの製造方法の工程図である。

【図39】図38における各断面の不純物濃度分布を示し、(a)はA-A'断面、(b)はB-B'断面、(c)はC-C'断面での不純物濃度プロファイルを示す図である。

【図40】本発明の第6の実施の形態における縦型超接合MOSFETの製造方法の工程図である。

【図41】本発明の第6の実施の形態における縦型超接合MOSFETの製造方法の工程図である。

【図42】本発明の第6の実施の形態における縦型超接合MOSFETの製造方法の工程図である。

【図43】本発明の第6の実施の形態における縦型超接合MOSFETの製造方法の工程図である。

【図44】本発明の第6の実施の形態における縦型超接合MOSFETの製造方法の工程図である。

【図45】本発明の第6の実施の形態における縦型超接合MOSFETの製造方法の工程図である。

【図46】図45における各断面の不純物濃度分布を示し、(a)はA-A'断面、(b)はB-B'断面、(c)はC-C'断面での不純物濃度プロファイルを示す図である。

【図47】第4～第6の実施の形態の製造方法によって製造された縦型超接合MOSFETの断面斜視図であり、並列pn層が平行構造である場合を示す図である。

【図48】第4～第6の実施の形態の製造方法によって*30

*製造された縦型超接合MOSFETの断面斜視図であり、並列pn層が直角構造である場合を示す図である。

【図49】第4～第6の実施の形態の製造方法によって製造された縦型超接合MOSFETで、貼り合せ面を2面とした場合の断面斜視図であり、並列pn層が平行構造である場合を示す図である。

【図50】第4～第6の実施の形態の製造方法によって製造された縦型超接合MOSFETで、貼り合せ面を2面とした場合の断面斜視図であり、並列pn層が直角構造である場合を示す図である。

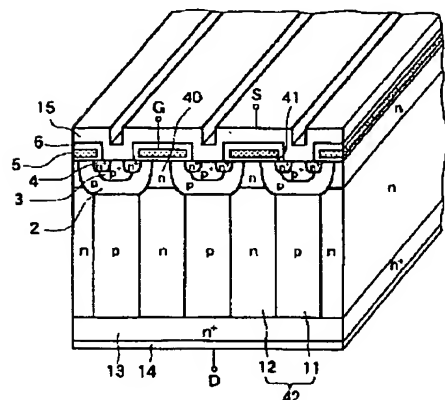
【図51】従来の縦型MOSFETの部分断面図である。

【図52】従来の別な縦型MOSFETの部分断面図である。

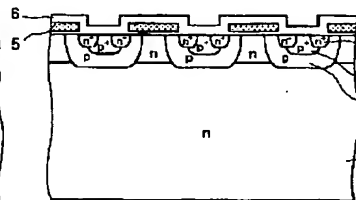
【符号の説明】

1 n型半導体基体、2、53、63 pベース領域、3 p'コンタクト領域、4、54、64 n'ソース領域、5、56、66 ゲート電極層、6 層間絶縁膜、7 酸化膜、8 レジストマスク、9 エッチングイオン、10 p型エビタキシャル層、11 p型仕切領域、12 n型ドリフト領域、13、51、61 n'ドレイン層、14、58、68 ドレイン電極、15、57、67 ソース電極、16 硼素イオン、17 リンイオン、18 貼り合せ面、21 n-半導体基体、31 n'低抵抗半導体基体、32 nエビタキシャル成長層、33 n-エビタキシャル層、40 nチャネル層、41、55、65ゲート絶縁膜、42 半導体基体領域、52、62 ドリフト層、62a nドリフト領域、62b pドリフト領域。

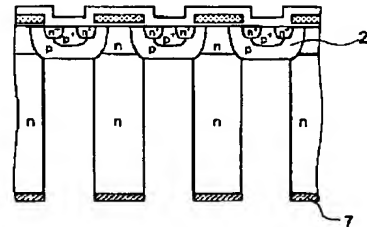
【図1】



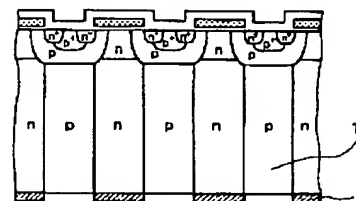
【図2】



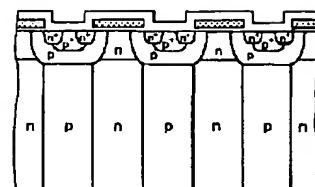
【図4】



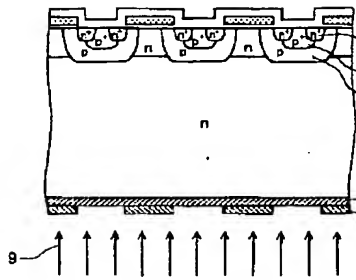
【図5】



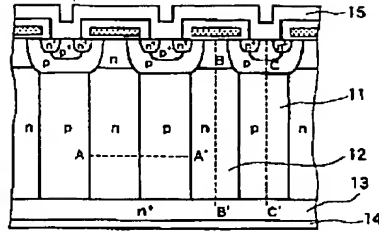
【図6】



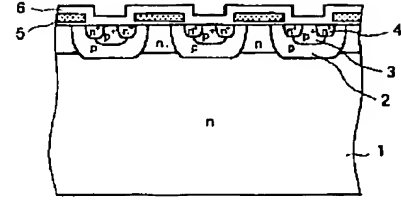
【図3】



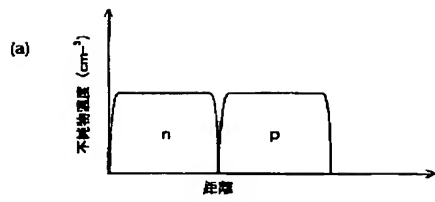
【図7】



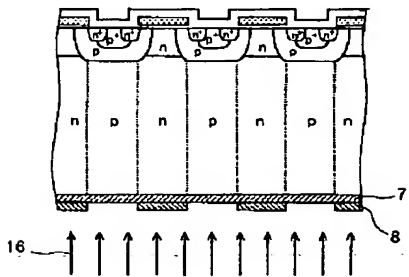
【図9】



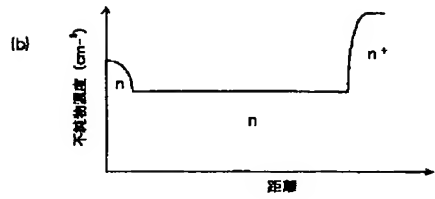
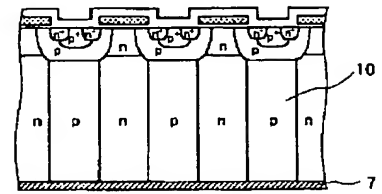
【図8】



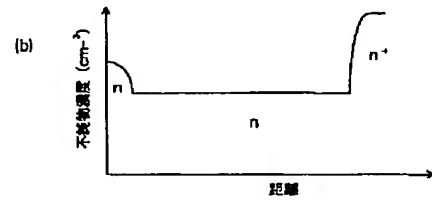
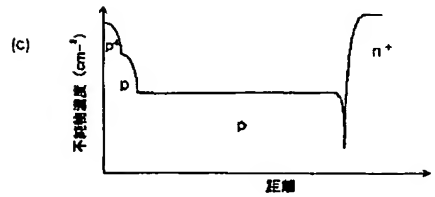
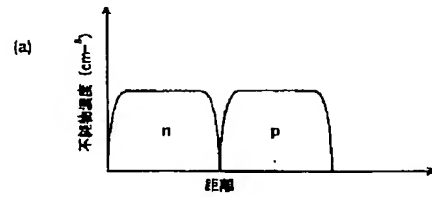
【図10】



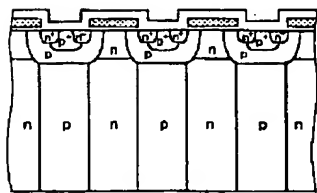
【図11】



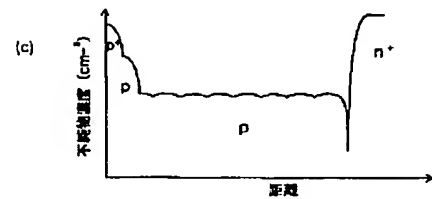
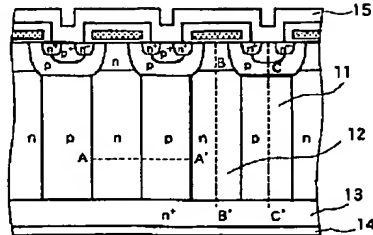
【図14】



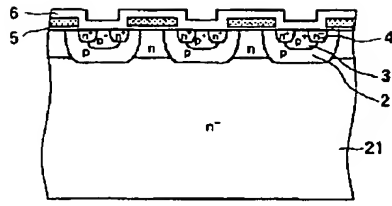
【図12】



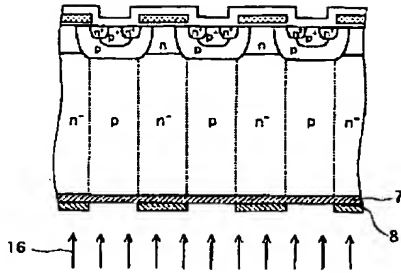
【図13】



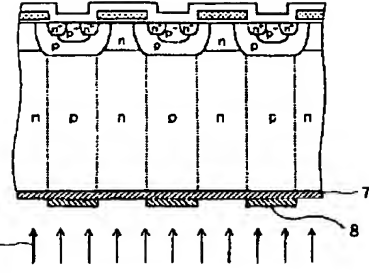
【図15】



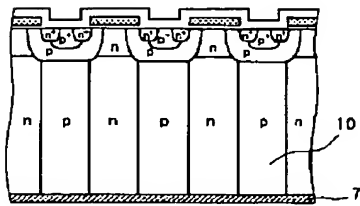
【図16】



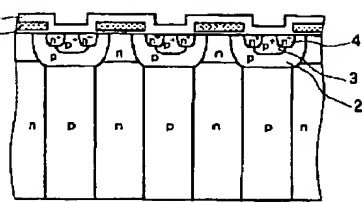
【図17】



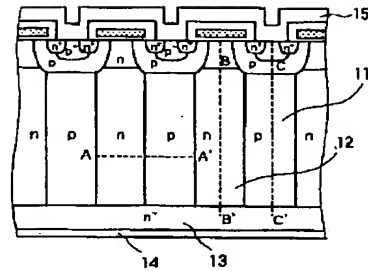
【図18】



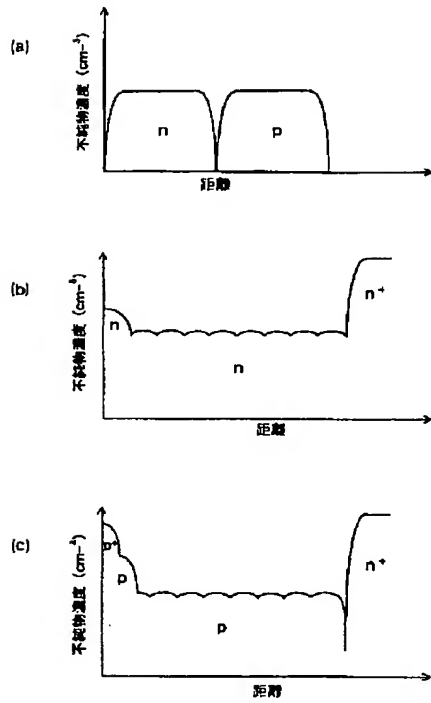
【図19】



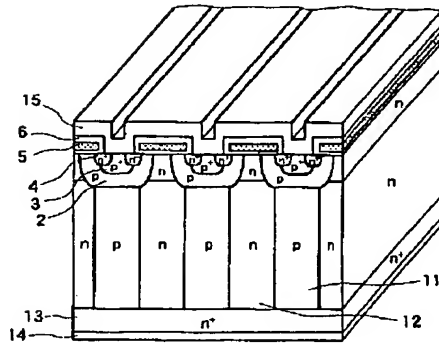
【図20】



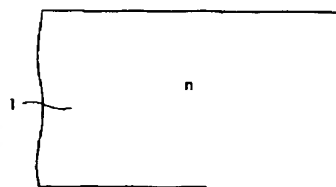
【図21】



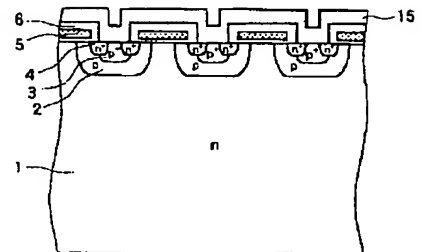
【図22】



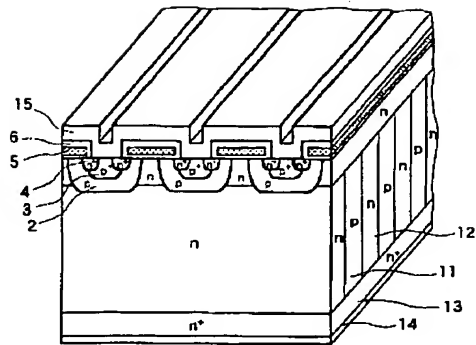
【図24】



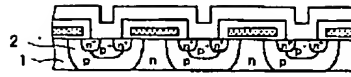
【図25】



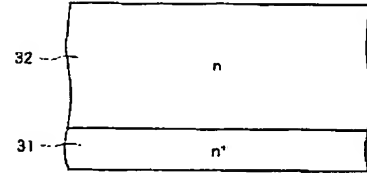
【図23】



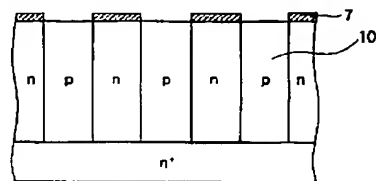
【図26】



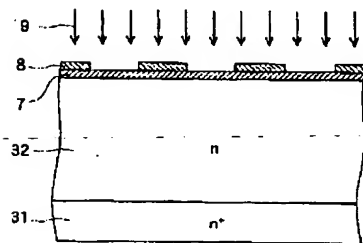
【図27】



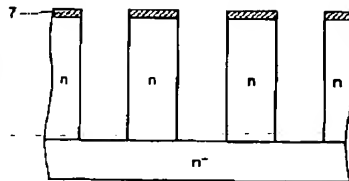
【図30】



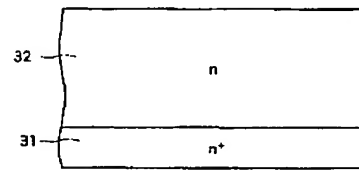
【図28】



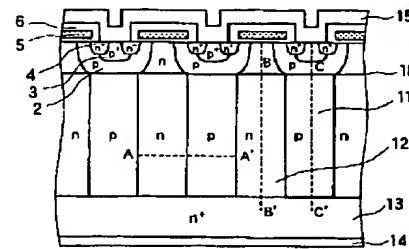
【図29】



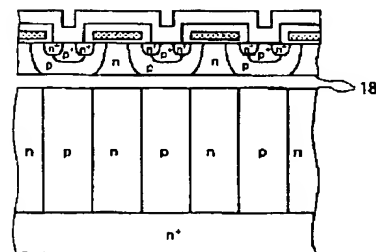
【図34】



【図32】

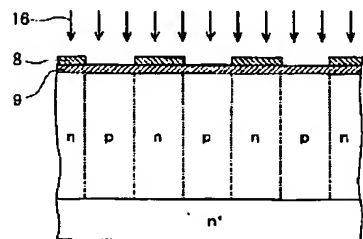


【図31】

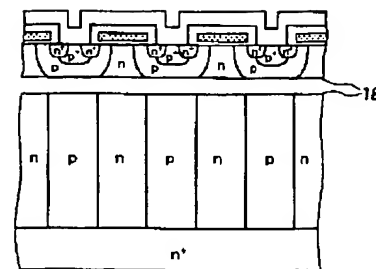
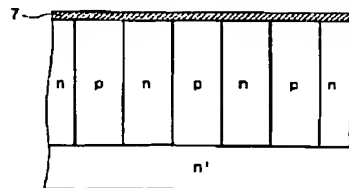


【図37】

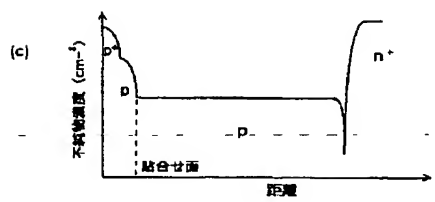
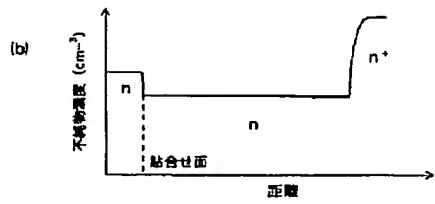
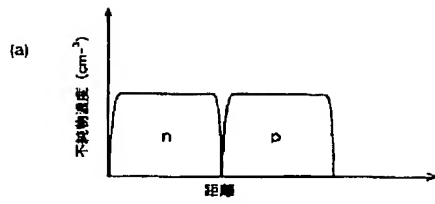
【図35】



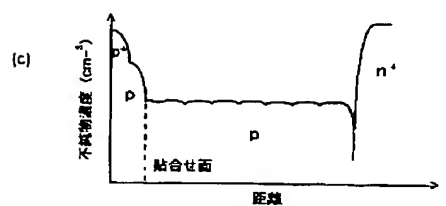
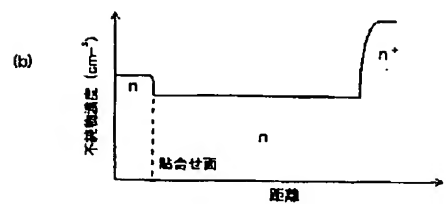
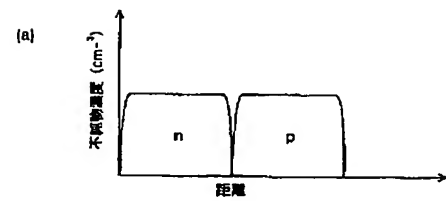
【図36】



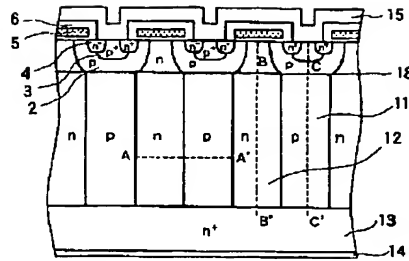
【図33】



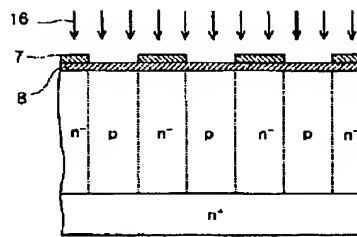
【図39】



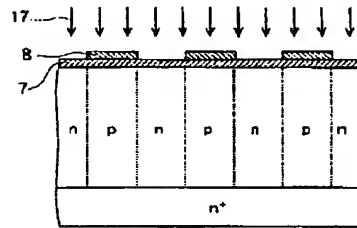
【図38】



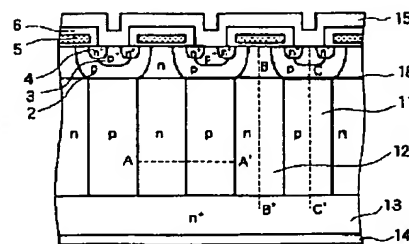
【図41】



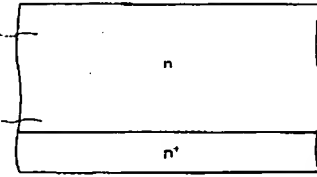
【図42】



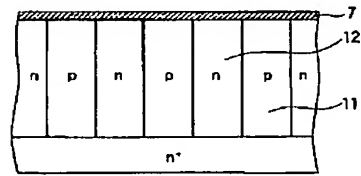
【図45】



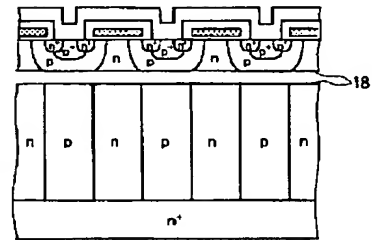
【図40】



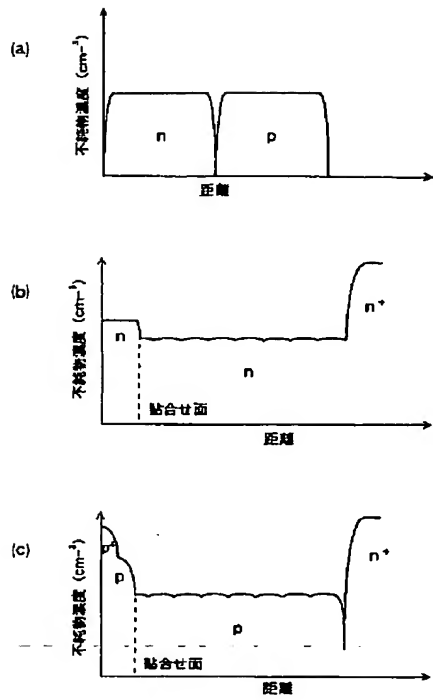
【図43】



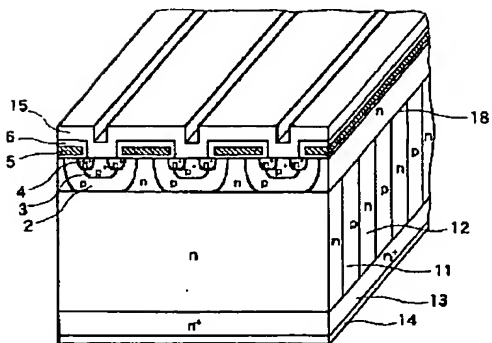
【図44】



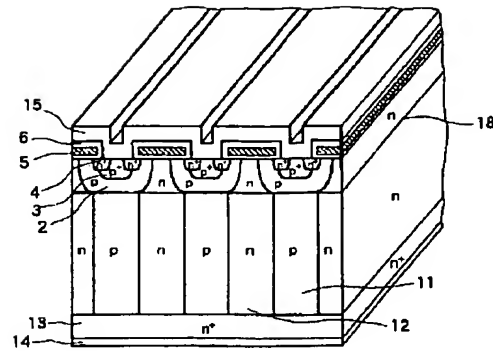
【図46】



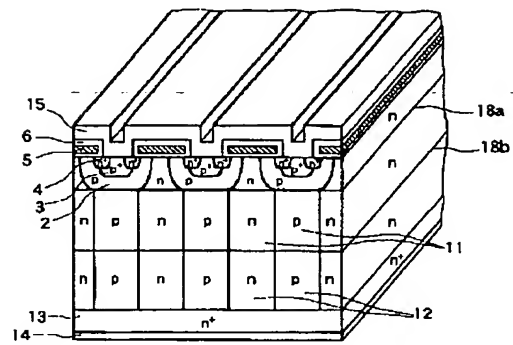
【図48】



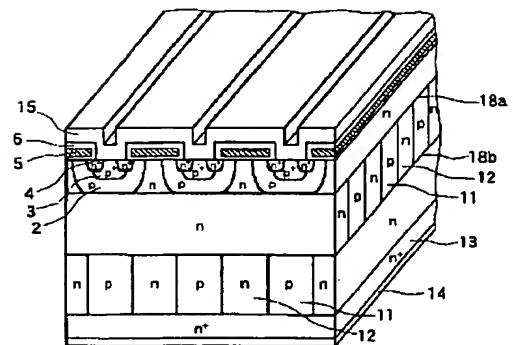
【図47】



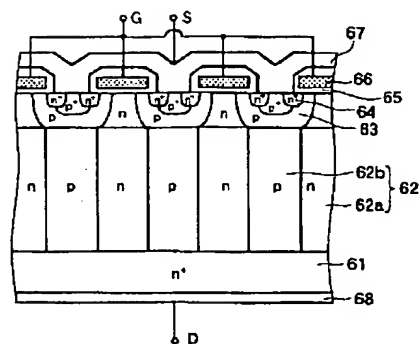
【図49】



【図50】



【圖 5 2】



(72)発明者 上野 勝典
神奈川県川崎市川崎区田辺新田 1 番 1 号
富士電機株式会社内

(72)発明者 国原 健二
神奈川県川崎市川崎区田辺新田 1 番 1 号
富士電機株式会社内